

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211202

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 21/60
G01R 31/26
H01L 21/326
H01L 21/66

(21)Application number : 04-188990

(71)Applicant : MOTOROLA INC

(22)Date of filing : 24.06.1992

(72)Inventor : LIN PAUL T

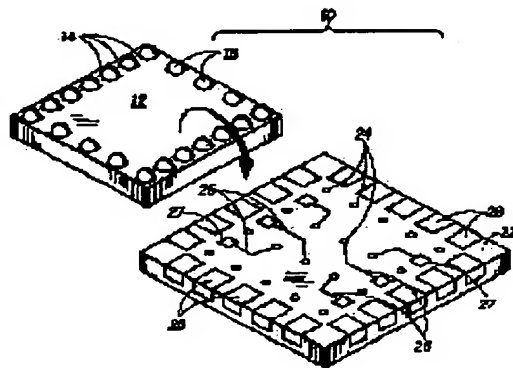
(30)Priority

Priority number : 91 722429
91 722449Priority date : 27.06.1991
27.06.1991Priority country : US
US**(54) COMPOSITE FLIP CHIP SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND BURN-IN METHOD**

(57)Abstract:

PURPOSE: To enable simultaneous performance of burn-in tests of a plurality of composite flip chip semiconductor devices, without the need for their individual test sockets.

CONSTITUTION: In certain form, this method includes a step of providing an interposer substrate material having a plurality of die subsection regions as interposers 22. A plurality of conductive traces 26 on the interposer substrate material are electrically connected to a plurality of electrical paths 24 which extend from a first surface of the interposer material to a second surface thereof. A semiconductor die 12 is placed in each of the die subsection regions, that is, in each interposer 22, so as to be electrically connected to one of the plurality of paths 24. The semiconductor dies 12 are subjected to a burn-in test by exposing the interposer substrate material to a predetermined stress. The interposer substrate material is divided by the die subsection regions into individual semiconductor devices, thus obtaining a plurality of composite flip chip semiconductor devices 10.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

• NOTICES •

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. *** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

(Claim(s))

[Claim 1] The integrated circuit which is a compound flip chip semiconductor device (10), and was formed on :die, The single semi-conductor die which has two or more bonding pads (14) electrically combined with the integrated circuit (12); The 1st front face and the 2nd front face, INTAPOZA which has two or more paths (24) which extend on the 2nd front face from the 1st front face, and has two or more electric conduction traces (26) by which the 1st front face was electrically combined with two or more paths (22); two or more bonding pads The compound flip chip semiconductor device characterized by being constituted by means; which combines electrically with a substrate means; and two or more paths which are electrically combined with two or more electric conduction traces.

[Claim 2] the approach of manufacturing a compound flip chip semiconductor device (10) — it is — : — with the 1st front face The phase of forming the semi-conductor die (12) which has the 2nd front face which counters, and the integrated circuit formed on it, and has two or more bonding pads (14) with which the 1st front face was electrically combined with the integrated circuit; The 1st front face, Have the 2nd front face which counters and it has two or more electric paths (24) which extend on the 2nd front face from the 1st front face. The phase of preparing INTAPOZA (22) which has two or more electric conduction traces (24) with which the 1st front face was electrically combined with two or more electric paths; the 1st front face of a semi-conductor die It counters 1st on the surface of INTAPOZA. The approach characterized by being constituted by phase; which establishes a means to combine electrically with a substrate phase; and two or more paths of attaching a semi-conductor die in INTAPOZA so that two or more bonding pads may be electrically combined with two or more paths.

[Claim 3] Are the approach of the burn-in of a compound flip chip semiconductor device, and it has the die acceptance field (22) of :plurality. The phase of preparing the interpauser board ingredient (60) which has the 1st front face and the 2nd front face, and has two or more electric conduction traces electrically combined with two or more electric paths (24) in which the 1st front face extends on the 2nd front face from the 1st front face; A semi-conductor die (12) is put into each die acceptance field. The phase of combining a semi-conductor die with two or more paths electrically; by exposing an interpauser board ingredient to predetermined stress The approach characterized by being constituted by phase; which turns phase; and the interpauser board ingredient which carry out the burn-in of each semi-conductor die an individual exception, is made to separate a die acceptance field, and forms two or more compound flip chip semiconductor devices (10).

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. ~~~~ shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001] [Industrial Application] Generally this invention relates to a semiconductor device. It is related with the approach of a flip chip semiconductor device, its manufacture, and a burn-in in more detail.

[0002]

[The problem which a Prior art and invention tend to solve] A flip chip semiconductor device points out a semiconductor device without the package used for substrates, such as a printed circuit (PC) substrate, since a die or a chip is mounted downward. In other words, the active side of the semi-conductor die of equipment which is elegance a part will face a substrate. Usually, flip chip equipment forms two or more conductive bumps, such as for example, a pewter bump, on the active side of a semi-conductor die, and is mounted in a substrate by combining these bumps with the electric terminal and the electric target of a pattern with which it corresponds on a substrate. The approach well used in order to combine a bump with a terminal is an approach by adjoining a substrate front face and arranging the active side of a die so that a bump may have consistency with an electric terminal. A die and a substrate are set by the heating environment, a bump's ingredient begins softening or melting, and an electric terminal is wet by it. If it cools, a bump ingredient will be hardened and will form metallic bond between the bump on a die, and the electric terminal on a substrate. Using the combination of a pewter bump and a pewter ball, changing the presentation, a flip chip die can also be electrically combined with a substrate, and an eutectic soldered joint can be performed.

[0003] Since the advantage of using a flip chip technique does not use the conventional package object for equipment, it is being able to stop the dimension of equipment to the minimum. Furthermore, the electrical installation of a semi-conductor die and a substrate is stored in the substrate of the range which does not exceed the dimension of a die. In order to combine a die with a substrate, neither wire bond nor what other kinds of external lead wire is also needed.

[0004] However, the big fault at the time of using a flip chip technique is that there is no approach in which the manufacture for carrying out the burn-in of the flip chip equipment is possible. This is because such [mainly] equipment does not have external lead wire. A burn-in is a trial which many chip makers use, in order to screen weak equipment before shipping equipment to a customer. The usual burn-in procedure operates equipment by the temperature-up condition and high tension, and detects early poor equipment. Since equipment operates all over a burn-in, it must combine equipment with a burn in test device electrically. In setting out of the burn in test accepted widely, it connects with the socket for a trial which was usually attached to the burn in test board by the board in the semiconductor device of two or more resemblances and which is set up beforehand by putting in each equipment. This board is electrically connected to a testing-machine machine after that, and it can be made to carry out the burn-in of two or more equipments simultaneously. Since a flip chip semiconductor device cannot be used within the existing socket for a trial, the burn-in of it cannot be carried out in the above-mentioned procedure. Although it is designed so that the conventional socket for a trial may suit external device lead wire, flip chip equipment does not have this lead wire. Since

http://www4.ipd.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2006/05/29

devices are formed.

[0009] The description and advantage of these and others will be more clearly understood with the following detailed explanation and an attached drawing. A drawing should care about the point which is not necessarily drawn by the fixed ratio, and is drawn in order to show the various descriptions of this invention clearly. The specific example or the specific description which are illustrated do not restrict the range of this invention.

[0010]

[Example] A flip chip semiconductor device has some faults in flip chip equipment, although equipment has the big advantage of being very small. As the conventional technique was expressed, once it cannot carry out the burn-in of the flip chip equipment using the existing testing-machine machine, but it needs an additional metallic-coating layer and the die manufacture phase in which the yield of equipment may be reduced and gives them to a substrate using an under-filling ingredient, rework of it will be impossible. This invention not only conquers each of the above-mentioned fault of existing flip chip equipment, but has other advantages. About this, I will become clear through the following explanation. This invention uses INTAPOZA combined with the active side of a semi-conductor die. INTAPOZA had the metallic-coating layer formed at least on one side, and has abolished the need of forming an additional metallic-coating layer on a semi-conductor die by it. Furthermore, using the socket for a trial, by making the contact for a trial of a top face or an end face only contact, INTAPOZA can be designed so that it may have the contact for a trial which can carry out the burn-in of the compound semiconductor device according to an individual. As the low approach of the cost which carries out the burn-in of the equipment formed of this invention, two or more INTAPOZA can be formed on the single interposer board which can carry out the burn-in of some equipments simultaneously and which functions as a burn in board. Other advantages of this invention are thermal and the points which are the ingredient which strengthens the mechanical engine performance and can make INTAPOZA of equipment, without restricting rework nature. With the semi-conductor die attached in a substrate, since INTAPOZA is attached in a substrate in an opposite hand, removal of a semi-conductor die becomes impossible [INTAPOZA] with the under-filling ingredient between INTAPOZA and a substrate. For this reason, also after mounting flip chip equipment on a substrate, a semi-conductor die with a defect is exchangeable for a good die.

[0011] Drawing 1 is the perspective drawing of the compound flip chip semiconductor device 10 by this invention. The semi-conductor die 12 which has two or more bonding pads 14 formed in the top face of a die is contained in this equipment. The bonding pad 14 is electrically combined with the integrated circuit (not shown) with which this is also formed in the top face of a die with the conventional gestalt. A bonding pad 14 is usually formed along the perimeter of a semi-conductor die, as shown in drawing, and it makes the maximum the number of the bonding pads per die, without blocking the layout of an integrated circuit. The pewter bump 18 is formed on each bonding pad 14. The pewter bump is well known for this technique as an approach of combining a flip chip semi-conductor die with a substrate (not shown).

[0012] With conventional flip chip equipment, a metal layer is formed on a semi-conductor die in many cases, and this serves as the electrical installation section to a bonding pad, and makes structure of a surrounding bonding pad array structure. For the bonding pad and pewter bump of array structure making it correspond to the array of the electric terminal on a PC board or a multilayered ceramic substrate, it is needed in many cases. As mentioned above, by adding a metal layer, the number of processing phases required for manufacture of a die may increase, and the yield of equipment may fall. In order to make a surrounding pewter bump into array structure, it is not necessary from this invention to make an additional metal layer on a semi-conductor die. Instead, this invention has rigid INTAPOZA 22 as shown in drawing 1, and acquires the structure of a desirable terminal. The semi-conductor die 12 is adjusted with two or more electric paths 24 in which the pewter bump 18 was formed in INTAPOZA, and it is attached in INTAPOZA 22 so that they and an electric target may be contacted. This path is the conventional approach and is formed in structure which suits the electric terminal structure of a substrate (not shown). About the pewter bump who does not have consistency a path and

most flip chip equipments have the pewter bump on the active side of a die, they cannot be used for the burn in test of equipment with the ordinary socket for a trial. For this reason, there are many manufacturers who do not perform a burn in test about flip chip equipment. Consequently, if a burn in test is performed, flip chip equipment with the defect which should be having the early defect detected in the meantime is sent to the customer.

[0005] Another fault of using the existing flip chip technique is having to form on a die metallic coating of another level for the conductive bump formed on the active side of a semi-conductor die in many cases. After forming on a die the bonding pad by which metallic coating was carried out, usually another metal layer is deformed into adhesion and the thing which carries out patterning and suits the structure of the electric terminal of a substrate in the structure of a bond pad. In addition to the processing about an excessive metal layer, flip chip equipment also needs the insulating layer of at least one layer, and some masking actuation. When processing phases increase in number in manufacture of a die, possibility of producing a defect also becomes large and the yield of equipment falls by it. This is not a desirable thing, although equipment capacity may become large since forming an additional metal layer not only has an adverse effect on manufacture of equipment, but there is an added metal layer.

[0006] Still more nearly another fault of a flip chip technique is that the rework nature of equipment is restricted in many cases. If flip chip equipment is mounted on substrates, such as a PC board, many of users of equipment will perform under-filling of mounting equipment. In other words, it is filled up with the space between a semi-conductor die and a substrate. There is thermally conductive epoxy as an ingredient of under-filling of a flip chip. The object which carries out under-filling of the flip chip equipment is restricting a semi-conductor die carrying out expansion contraction to a substrate. Usually, a semi-conductor die has a completely different coefficient of thermal expansion from the coefficient of thermal expansion of a substrate. Consequently, a die may carry out expansion contraction by different ratio from a substrate, and a soldered joint may be made to generate stress, and the electric connection between the bonding pad of a die and the terminal pad of a substrate may be in an open condition. By using an under-filling ingredient, expansion contraction of a die is suppressed and possibility that connection will serve as open by that cause becomes small. However, rework also becomes impossible by using an under-filling ingredient again. When an under-filling ingredient is used, it becomes impossible to exchange ejection, a defective part, and good components for the semiconductor device which has a defect from a substrate. This is the ingredient of thermosetting [ingredient / under-filling] usually, i.e., a that it cannot solidify everlastingly, and cannot soften or fuse sake.

[0007] Since the existing technique has the above faults, the need of receiving the need of receiving the improved semiconductor device especially the improved flip chip semiconductor device, and its manufacture approach which can carry out a burn-in by the approach suitable for a manufacture environment is born. A semi-conductor die does not need to have an additional metallic-coating layer in everything but metallic coating that is used for internal circuitry, and this must have rework nature, without sacrificing the heat engine performance and the mechanical engine performance. Furthermore, as for such equipment, it is desirable that it is what can be manufactured by the outstanding cost effectiveness.

[0008]

[Means for Solving the Problem] By this invention, the above-mentioned need is satisfied and other advantages are acquired. In a certain example, the approach of strengthening the burn-in of a compound flip chip semiconductor device is characterized by including the phase of preparing the INTAPOZA (interposer) ingredient which has a die acceptance field, and two or more 1st front face and 2nd front face. The 1st front face of an INTAPOZA ingredient has two or more electric conduction traces electrically combined with two or more electric paths which extend from the 1st front face of an INTAPOZA ingredient to the 2nd front face. A semi-conductor die is placed into each die acceptance field, and is electrically combined with two or more paths. The burn-in of a semi-conductor die is performed by exposing an INTAPOZA ingredient to predetermined stress. An INTAPOZA ingredient turns an individual exception, a die acceptance field is made to separate, and two or more compound flip chip semiconductor

http://www4.ipd.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2006/05/29

directly when the die has been arranged on INTAPOZA, two or more electric conduction traces 28 are formed on INTAPOZA, and wire a specific path electrically in a pewter bump. As shown in drawing, the pewter bump 18 has some which are combined with the terminal pad 27 formed in the edge of electric conduction trace, without connecting with a direct path. Electric conduction trace is wired by the suitable path. Drawing 2 is the plan of the semi-conductor die 12 and INTAPOZA 22 after arranging a die on INTAPOZA.

[0013] The electric path 24 has extended from the top face of INTAPOZA 22 to the base in which two or more pewter balls are formed. Drawing 3 shows the electric path structure of INTAPOZA 22, and the structure of the corresponding pewter ball 32. A pewter ball corresponds also to the structure of the electric terminal of a substrate (not shown). Although each pewter ball is arranged and shown under [of a path] direct, it may form electric conduction trace in the base of INTAPOZA, and may wire a pewter ball electrically in a path. In other words, the pewter ball 32 may be shifted from a path 24 by the approach same with shifting the pewter bump 18 and wiring electrically from the path 24 of drawing 1.

[0014] In order to make the example of equipment intelligible, the sectional view in the condition of having carried the compound flip chip semiconductor device 10 on the PC board at drawing 4 R: 4 and drawing 5 has shown. Drawing 4 is the sectional view cut along with the straight line 4-4 of drawing 2, and drawing 5 is the sectional view cut along with the straight line 5-5. In drawing 4, the semi-conductor die 12 is combined with INTAPOZA 22 so that the pewter bump 18 may be in agreement with a path 24. The pewter ball 32 is under each path, and this is combined with substrates, such as PC board 34. Although a die 12 and INTAPOZA 22 are mainly separated by air, INTAPOZA 22 and PC board 34 are separated by the under-filling ingredient 38. As explained by the conventional technique, using an under-filling ingredient between a flip chip semi-conductor die and a substrate, and restricting the thermal expansion and contraction of a die to a substrate is often performed. However, rework becomes impossible when an under-filling ingredient is used with conventional flip chip equipment. This is because the under-filling ingredient used well, for example, pyroconductivity epoxy etc., cannot be remelted. In an example with this invention, an under-filling ingredient can be used between INTAPOZA 22 and PC board 34. Once it attaches in PC board 34, however the semi-conductor die 12 which cannot be removed can only heat and carry out melting of the pewter bump 18, and INTAPOZA 22 can remove them from INTAPOZA easily, when needing to be reworked.

[0015] Drawing 5 shows signs that "the far-in (far-in)" of the surrounding pewter bump 18 can be carried out to a predetermined path or pewter ball structure, using the electric conduction trace 28. The surrounding pewter bump 18 of a die 12 is connected to the terminal pad of the electric conduction trace 28, and a pewter bump is electrically wired by the path 24 by this trace. The structure of a path is array structure so that clearly [drawing 1]. For the reason, a path 24 is hidden rather than is on the flat surface of the sectional view of drawing 5. Since the far-in of the surrounding pewter bump can be carried out to array structure using the electric conduction trace 28 of INTAPOZA, the semi-conductor die 12 can be used also as the die by which it not only can use as a flip chip semi-conductor die, but wire bonding was carried out by the conventional approach which usually needs a surrounding bonding site, or a TAB (tape automated bonding) die. Therefore, manufacture of a semi-conductor die serves as a process standardized also as wire bonding equipment and TAB equipment also as flip chip equipment.

[0016] Drawing 5 does not need to be completely vertical again, as a path 24 is shown in drawing 4, it has bent or it is also shown that you may be slanting. When a path is bent, it is needed that INTAPOZA 22 is a multilayer ingredient which has a conductive layer more than two-layer. If multilayer INTAPOZA is used, since accommodation will come to hear from a path and the array of a pewter ball further and metallic coating will not be restricted only to one layer, the number of the locations of a possible path and a pewter ball increases.

[0017] When only one layer of conductive layers is used into INTAPOZA 22, there is also an advantage of making manufacture easy. Using the conductive layer of only one layer, i.e., by using a conductive layer for the upper part of INTAPOZA, it can form in predetermined, fixed structure with the path and pewter ball of INTAPOZA standard about the semi-conductor die with which some differ. For example, in drawing 1, the semi-conductor die 12 has 12 bonding

pads, and these correspond to 12 paths on INTAPOZA 22, respectively. A path is arranged by the fixed array which is in agreement with the standardization electric terminal structure of a substrate (not shown). Although there are many semi-conductor dies which have 12 bonding pads, a bonding pad is not necessarily in the same location as accuracy between dies. However, INTAPOZA 22 can be used for each of a different die which has 12 bonding pads by changing the metallic-coating pattern which forms the electric conduction trace 28. In other words, with a path and the structure of a pewter ball fixed, a certain metal layer can be changed so that various bonding pad structures may be suited. Although INTAPOZA which has two or more metal layers can also be used for each of different bonding pad structure, the metal layer more than two-layer "must be customized" so that each structure may be suited, and the number of manufacture phases increases by it.

[0018] In order to manufacture INTAPOZA suitable for using for this invention, the ingredient which has the coefficient of thermal expansion mostly approximated to the coefficient of thermal expansion (CTE) of a semi-conductor die is a suitable ingredient. A semi-conductor die is mostly formed from the silicon which has CTE of about 3 ppm (parts per million) / °C. Therefore, since CTE of INTAPOZA is in agreement with it of a die, an ingredient suitable for INTAPOZA is silicon. However, there are some in which other ingredients have CTE near CTE of silicon. For example, CTE of aluminum nitride is the order of 4.5 ppm/degree C. Other ceramics are suitable in order to use as an ingredient of INTAPOZA. If CTE of INTAPOZA and CTE of a die are made to approximate, it will decrease that the electrical coupling between a pewter bump, electric conduction trace, or a path is destroyed by heat induction stress. If CTE of a die and INTAPOZA is made to approximate furthermore, a die and INTAPOZA can be combined using a rigid joint. A pewter is an ingredient used best in order to combine a flip chip die with the substrate of the class of arbitration. It is because it is thought that this is a joint with the versatility which helps for a pewter to absorb heat induction stress. The electric engine performance can be made to improve by making CTE of INTAPOZA approximate with CTE of a semi-conductor die using rigid joint joints, such as a copper joint. One point that I will accept it in case the ingredient of INTAPOZA is chosen taking into consideration is heat divergence. Many semiconductor devices generate working very many heat. If the good INTAPOZA ingredient of heat divergence is used, it is useful to removing heat from compound flip chip equipment, and by it, the life of equipment will be prolonged and dependability will be raised. In order to manufacture INTAPOZA like INTAPOZA 22, a path and electric conduction trace can be formed on INTAPOZA using a known technique. For example, electric conduction trace can be formed using screen-stencil or metal adhesion, and an etching technique, and a path can be formed using etching or the laser drill method. A path must have conductivity electrically, therefore is filled up with a conductive ingredient. It offers rework nature, and it not only improves the resistance force to heat induction stress, but if INTAPOZA by this invention is used, a trial and the burn-in approach of a flip chip semiconductor device will also be established. For example, two or more contact 28 for a trial is formed in the perimeter of INTAPOZA at INTAPOZA 22 of drawing 1. As shown in drawing, even if the contact 28 for a trial has extended along the side side of INTAPOZA, it may be formed only in the top face of INTAPOZA. The contact for a trial is electrically combined with the pewter bump of a die 12 by combining contact with a path so that it may be explained below. However, please care about the point for which the response of 1 to 1 is not required between the contact for a trial, and a path with extent of the trial carried out. The electrical installation between the contact for a trial and a path is not illustrated in order to make it intelligible. However, connection between the contact for a trial and a path can be easily made by at least two approaches. One approach is using multilayer INTAPOZA containing the conductive layer for combining the contact for a trial with a path. Another approach is an approach of forming two or more 2nd electric conduction traces in the top face of INTAPOZA, and achieving the same function. Since there is contact 28 for a trial, the conventional probe (not shown) can be used and the function of a die can be examined. Furthermore, a trial and a burn-in can be performed with the known socket for a trial which can treat edge contact for a compound flip chip semiconductor device by making the contact 28 for a trial extend selectively at least along the side side of INTAPOZA.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.cgi

2006/05/29

also for a wire bonding die or a TAB die. Still more nearly another advantage is making small heat induction stress in flip chip association using INTAPOZA, and being able to radiate the working heat of equipment by choosing a suitable INTAPOZA ingredient. Furthermore, by using INTAPOZA for a flip chip semiconductor device, another front face is made, and circuitry, a bus, or other electrical parts can be formed on this, without enlarging area of a semi-conductor die. [0023] As mentioned above, it is in ** that the approach of strengthening the burn-in of the compound flip chip semiconductor device with which it is thoroughly satisfied of above-mentioned need and an above-mentioned advantage with this invention was offered. Although the specific example was explained to this invention by reference and it was illustrated, this invention is not restricted to the example for these explanation. As for the ability to correct and deform, without deviating from the essence of this invention, this contractor can understand. For example, it is not necessary to make INTAPOZA used by this invention from silicon or aluminium nitride, and what kind of ingredient is instead sufficient as it. However, the suitable ingredient of INTAPOZA has CTE of resemblance in CTE of the semi-conductor die used for the equipment of this invention. Moreover, this invention is not restricted to the thing using INTAPOZA which transforms surrounding bonding pad structure into array structure. It is not concerned with the structure of electrical installation, but many of above-mentioned advantages are attained. Moreover, this invention is not restricted to using a pewter bump on a semi-conductor die. Any approaches of combining a semi-conductor die with INTAPOZA electrically are within the limits of this invention. Similarly, it is suitable in order that approaches other than a pewter ball may also combine INTAPOZA with a substrate. Moreover, although a trial and burn-in of the equipment according to individual become possible by contact for a trial, in order for INTAPOZA to be useful, it is not necessary to have the contact for a trial. Furthermore, INTAPOZA used by this invention does not need to be larger than a flip chip semi-conductor die, as shown in drawing. However, if INTAPOZA is made larger than a die, in a trial and burn-in of flip chip equipment, versatility will be acquired further. Moreover, INTAPOZA used about this invention is not restricted to what has electric conduction trace on the top face which counters a semi-conductor die. On the base of INTAPOZA which counters a substrate, it has two or more electric conduction traces, and desirable structure may be wired in two or more paths on it. Similarly, a monolayer ingredient or a multilayer ingredient is sufficient as the interposer board ingredient used by this invention, it explains especially — having — the circuitry, buses, and electrical parts other than the illustrated class should also care about the point that it can form on an INTAPOZA front face, and the electric engine performance of equipment can also be strengthened or assisted. Furthermore, there is never no this invention what is restricted to using the semi-conductor die of a specific class in equipment. Therefore, this invention includes all deformation and corrections that enter within the limits of an attached claim.

[Translation done.]

[0019] By INTAPOZA in the compound flip chip semiconductor device by this invention, the convenient approach of carrying out the burn-in of each equipment is born. Furthermore, there is the low approach of the cost for manufacturing INTAPOZA which can carry out the burn-in of two or more equipments simultaneously like the approach by the existing burn in board. The interposer board 80 which contains two or more INTAPOZA 22 in drawing 8 is shown. An INTAPOZA group is mutually separated by the perforation 82 formed in the interposer board. The side side of an interposer board has two or more substrate test contact 84, and this is electrically combined with INTAPOZA 22 according to individual by the approach shown below. However, electrical installation is not shown by drawing 8. Since it is in-series and fixed connection can be made, the contact for a substrate trial for each INTAPOZA path is not usually needed. Connection with each INTAPOZA path [contact / for a substrate trial] can be made using a multilayer interposer board. A monolayer interposer board can also be used instead. However, area of a substrate must be enlarged in order to perform electric conduction wiring on 1 flat surface, if a monolayer substrate is used.

[0020] After combining a semi-conductor die (not shown to drawing 8) with each of each INTAPOZA, an interposer board functions as the conventional burn in board similarly. It connects with the contact 84 for a substrate trial, and the electrical connection of a burn-in device examines simultaneously two or more semi-conductor dies of each, or gives stress. Carrying out the burn-in of the whole interposer board has an advantage compared with carrying out the burn-in of the equipment according to individual. Since the time amount concerning a burn-in will decrease if the burn-in of much equipments is carried out simultaneously, the socket for a trial of each equipment is because it is unnecessary. When a burn-in is performed on each not equipment level but interposer board level, it becomes unnecessary to establish the contact 28 for a trial on each INTAPOZA. After performing a burn in test on interposer board level, each INTAPOZA 22 is separated by cutting an interposer board 80 along with a perforation 82, or breaking. As a result of separating INTAPOZA, two or more compound flip chip semiconductor devices as shown in drawing 1 thru/or drawing 5 are done.

[0021] Another advantage acquired by INTAPOZA used by this invention is that the electric engine performance of a flip chip semiconductor device is strengthened. If INTAPOZA is used, two front faces are added and circuitry or an electrical part can be formed on it. For example, drawing 7 shows the base of INTAPOZA 40 suitable for using for this invention. In addition to two or more pewter balls 42 of the above-mentioned example of this invention, and resemblance, two electrical parts, i.e., the terminal resistance 46 and a decoupling capacitor 48, are contained in INTAPOZA 40. The part of INTAPOZA which is not occupied by a pewter ball, a path, or electric conduction trace can be used for an electrical part. Or it can use for another power-source bus. Therefore, another circuitry, a bus, or components can be added, without enlarging the dimension of a flip chip semi-conductor die. Drawing 7 shows that the common output signal of equipment is mutually combinable on the base of INTAPOZA. For example, the terminal groups 43 and 44 can be used instead of two or more pewter balls, for example, power or a touch-down output can be combined.

[0022] The above explanation and the drawing which are shown here show many advantages by this invention. The burn-in especially of the equipment by this invention can be carried out according to an individual by establishing the contact for a trial on INTAPOZA combined with the flip chip semi-conductor die. The contact for a trial can be formed so that contact may be in agreement with the socket for a trial, or so that contact can be examined by the conventional probe. Furthermore, the burn-in of two or more flip chip equipments can be carried out simultaneously, without needing the socket for a trial like the conventional burn in board using an interposer board. It becomes unnecessary moreover, to add a metallic-coating layer on a flip chip semi-conductor die by this invention. Therefore, manufacture of a die may become simpler and yield may become high compared with the existing flip chip manufacturing technology. Instead, although another metal layer is formed on INTAPOZA, this is a far easier manufacturing method than the case where a metal layer must be added to a die. Moreover, since it came to and even if it did not add a metallic-coating layer, a flip chip semi-conductor die can be used

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.cgi

2006/05/29

• NOTICES •

JPO and NCIPJ are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective drawing of the semi-conductor die which is attached to INTAPOZA by this invention, and forms a compound flip chip semiconductor device.

[Drawing 2] It is the plan of the semiconductor device of drawing 1 after arranging a semi-conductor die on INTAPOZA.

[Drawing 3] It is the bottom view of the semiconductor device of drawing 2.

[Drawing 4] It is the sectional view which cut the semiconductor device of drawing 2 in the straight line 4-4.

[Drawing 5] It is the sectional view which cut the semiconductor device of drawing 2 in the straight line 5-5.

[Drawing 6] It is the plan of the interposer board ingredient used by this invention.

[Drawing 7] It is the bottom view of INTAPOZA of the compound flip chip semiconductor device by other gestalten of this invention.

[Description of Notations]

10 Compound Flip Chip Semiconductor Device

12 Semi-conductor Die

14 Bonding Pad

18 Pewter Bump

22 INTAPOZA

24 Path

26 Electric Conduction Trace

27 Terminal Pad


28 Contact

[Translation done.]

COMPOSITE FLIP-CHIP SEMICONDUCTOR DEVICE, ITS MANUFACTURE AND METHOD FOR BURN-IN

Patent number: JP5211202
Publication date: 1993-08-20
Inventor: POORU TEII RIN
Applicant: MOTOROLA INC
Classification:
- international: G01R31/28; H01L21/60; H01L23/498; H05K3/28; H05K3/34; G01R31/28; H01L21/02; H01L23/48; H05K3/28; H05K3/34; (IPC1-7): G01R31/26; H01L21/326; H01L21/60; H01L21/66
- european: G01R31/28G2; H01L21/60C4; H01L23/498E
Application number: JP19920188990 19920624
Priority number(s): US19910722429 19910627; US19910722449 19910627

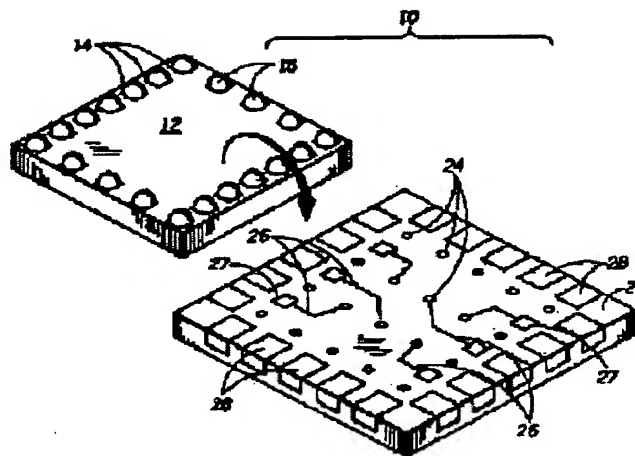
Also published as:

 EP0520841 (A)

Report a data error he

Abstract of JP5211202

PURPOSE: To enable simultaneous performance of burn-in tests of a plurality of composite flip chip semiconductor devices, without the need for their individual test sockets. **CONSTITUTION:** In certain form, this method includes a step of providing an interposer substrate material having a plurality of die subsection regions as interposers 22. A plurality of conductive traces 26 on the interposer substrate material are electrically connected to a plurality of electrical paths 24 which extend from a first surface of the interposer material to a second surface thereof. A semiconductor die 12 is placed in each of the die subsection regions, that is, in each interposer 22, so as to be electrically connected to one of the plurality of paths 24. The semiconductor dies 12 are subjected to a burn-in test by exposing the interposer substrate material to a predetermined stress. The interposer substrate material is divided by the die subsection regions into individual semiconductor devices, thus obtaining a plurality of composite flip chip semiconductor devices 10.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-211202

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	6918-4M		
G 0 1 R 31/26	H	9214-2G		
H 0 1 L 21/326		8617-4M		
21/66	H	8406-4M		

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-188990

(22)出願日 平成4年(1992)6月24日

(31)優先権主張番号 7 2 2 4 2 9

(32)優先日 1991年6月27日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 7 2 2 4 4 9

(32)優先日 1991年6月27日

(33)優先権主張国 米国 (U S)

(71)出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72)発明者 ボール・ティール・リン

アメリカ合衆国テキサス州オースチン、セ
ロ・コープ6411

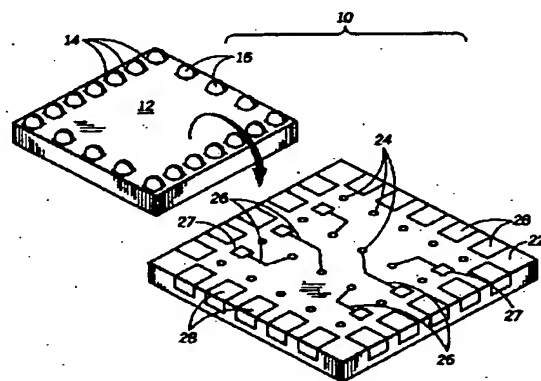
(74)代理人 弁理士 本城 雅則 (外1名)

(54)【発明の名称】 複合フリップ・チップ半導体装置とその製造およびバーンインの方法

(57)【要約】

【目的】 複合フリップ・チップ半導体装置のバーンインを強化する方法により、個々の試験用ソケットを必要とせず、複数の装置のバーンインを同時に行う方法が示される。

【構成】 ある形態では、この方法には、インターポーザ22として示される複数のダイ受け入れ領域を有するインターポーザ基板材料60を設ける段階が含まれる。インターポーザ基板材料上の複数の導電トレース26は、インターポーザ基板材料の第1表面から第2表面まで延在する複数の電気経路24に電気的に結合されている。半導体ダイ12は、それぞれのダイ受け入れ領域、すなわち各インターポーザ内に置かれ、ダイは複数の経路24に電気的に結合される。半導体ダイは、インターポーザ基板材料を所定の応力にさらすことによりバーンインされる。インターポーザ基板材料は、個別化されてダイ受け入れ領域が分離され、複数の複合フリップ・チップ半導体装置10が形成される。



【特許請求の範囲】

【請求項1】 複合フリップ・チップ半導体装置（10）であって：ダイ上に形成された集積回路と、集積回路に電氣的に結合された複数のボンディング・パッド（14）とを有する単一の半導体ダイ（12）；第1表面および第2表面と、第1表面から第2表面に延在する複数の経路（24）とを有し、第1表面は複数の経路に電氣的に結合された複数の導電トレース（26）を有するインターポーザ（22）；複数のボンディング・パッドを、複数の導電トレースに電氣的に結合する手段；および複数の経路を基板に電氣的に結合する手段；によって構成されることを特徴とする複合フリップ・チップ半導体装置。

【請求項2】 複合フリップ・チップ半導体装置（10）を製作する方法であって：第1表面と、対向する第2表面と、その上に形成された集積回路とを有し、第1表面は集積回路に電氣的に結合された複数のボンディング・パッド（14）を有する半導体ダイ（12）を設ける段階；第1表面と、対向する第2表面とを有し、第1表面から第2表面に延在する複数の電気経路（24）を有して、第1表面は複数の電気経路に電氣的に結合された複数の導電トレース（24）を有するインターポーザ（22）を設ける段階；半導体ダイの第1表面が、インターポーザの第1表面に対向し、複数のボンディング・パッドが複数の経路に電氣的に結合されるように半導体ダイをインターポーザに取り付ける段階；および複数の経路を基板に電氣的に結合させる手段を設ける段階；によって構成されることを特徴とする方法。

【請求項3】 複合フリップ・チップ半導体装置のバーンインの方法であって：複数のダイ受け入れ領域（22）を有し、第1表面と第2表面とを有し、第1表面は第1表面から第2表面に延在する複数の電気経路（24）に電氣的に結合された複数の導電トレースを有するインターポーザ基板材料（60）を設ける段階；半導体ダイ（12）を各々のダイ受け入れ領域に入れて、半導体ダイを複数の経路に電氣的に結合させる段階；インターポーザ基板材料を所定の応力にさらすことにより、各々の半導体ダイをバーンインする段階；およびインターポーザ基板材料を個別化して、ダイ受け入れ領域を分離させ、複数の複合フリップ・チップ半導体装置（10）を形成する段階；によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的に半導体装置に関する。さらに詳しくは、フリップ・チップ半導体装置とその製造およびバーンインの方法に関する。

【0002】

【従来の技術および発明が解決しようとする問題】 フリップ・チップ半導体装置とは、プリント回路（P.C）基

板などの基板に、ダイまたはチップを下向きに実装するために用いられるパッケージのない半導体装置を指す。言い換えれば、装置の一部品である半導体ダイの能動面が基板に面することになる。通常、フリップ・チップ装置は、たとえばハンダ・バンプなどの複数の導電性バンプを半導体ダイの能動面上に形成し、これらのバンプを基板上的対応するパターンの電気端子と電氣的に結合することにより基板に実装される。バンプを端子に結合するためによく用いられる方法は、バンプが電気端子と整合するようにダイの能動面を基板表面に隣接して配置することによる方法である。ダイと基板とは、加熱環境におかれ、バンプの材料が軟化あるいは熔融を始め、それによって電気端子を濡らす。冷却すると、バンプ材料は硬化して、ダイ上のバンプと基板上的電気端子との間に金属結合を形成する。ハンダ・バンプとハンダ・ボールとの組合せを用いて、その組成を変化させながらフリップ・チップダイも基板に電氣的に結合させて共融ハンダ接合を行うことができる。

【0003】 フリップ・チップ技術を用いることの利点は、装置に従来のパッケージ体を用いないので、装置の寸法を最小限に抑えることができることである。さらに半導体ダイと基板との電氣的接続を、ダイの寸法を越えない範囲の基板に収められる。ダイを基板に結合させるために、ワイヤ・ボンドやその他のいかなる種類の外部リード線も必要とすることがない。

【0004】 しかし、フリップ・チップ技術を用いる際の大きな欠点は、フリップ・チップ装置をバーンインするための製造可能な方法がないことである。これは主にこのような装置が外部リード線を持たないためである。バーンインとは、装置を顧客に出荷する前に弱い装置をスクリーニングするために多くの半導体メーカーが用いる試験である。通常のバーンイン手順は、装置を昇温状態と高電圧で動作させて、初期の装置不良を検出する。装置はバーンイン中に動作されるので、バーンイン試験機器に装置を電氣的に結合しなければならない。広く受け入れられているバーンイン試験の設定では、複数の類似の半導体装置をバーンイン試験ボードに、通常はボードにつけられたあらかじめ設定されている試験用ソケットに各装置を入れることにより接続する。このボードをその後試験機器に電氣的に接続して、複数の装置を同時にバーンインできるようにする。フリップ・チップ半導体装置は、既存の試験用ソケット内で用いることができないので、上記の手順ではバーンインすることができない。従来の試験用ソケットは、外部装置リード線に合うように設計されているが、フリップ・チップ装置はこのリード線を持たない。たいていのフリップ・チップ装置は、ダイの能動面上にハンダ・バンプを有しているので、普通の試験用ソケットでは装置のバーンイン試験に用いることができない。このために、フリップ・チップ装置に関してバーンイン試験を行わないことにしている

メーカーが多い。その結果、バーンイン試験を行えばその間に初期の不良を検出されているはずの、欠陥をもつフリップ・チップ装置が顧客に送られている。

【0005】既存のフリップ・チップ技術を用いることの別の欠点は、半導体ダイの能動面上に形成された導電性パンプのために、別のレベルの金属被覆をダイ上に形成しなければならないことが多いことである。ダイ上に金属被覆されたボンディング・パッドを形成した後で、別の金属層を付着およびパターンニングしてボンド・パッドの構造を基板の電気端子の構造に合うものに変形するのが普通である。余分な金属層に関する処理に加えて、フリップ・チップ装置は少なくとも1層の絶縁層といくつかのマスキング動作も必要とする。ダイの製造において処理段階が増えることにより、欠陥を生み出す可能性も大きくなり、それによって装置の歩どまりが下がる。追加の金属層を形成することが装置の製造に悪影響を与えるだけでなく、追加された金属層があるために装置容量が大きくなることもあるが、これは望ましいことではない。

【0006】フリップ・チップ技術のさらに別の欠点は、装置の再加加工性が制限されることが多いことである。フリップ・チップ装置をPCボードなどの基板上に実装すると、装置のユーザの多くは実装装置のアンダーフィルを行う。言い換えれば、半導体ダイと基板との間の空間を充填する。フリップ・チップのアンダーフィルの材料としては、熱伝導性エポキシがある。フリップ・チップ装置をアンダーフィルする目的は、基板に対して半導体ダイが膨張収縮することを制限することである。通常、半導体ダイは基板の熱膨張係数とは全く異なる熱膨張係数を有する。その結果、ダイは基板とは異なる比率で膨張収縮して、ハンダ接合に応力を発生させ、またダイのボンディング・パッドと基板の端子パッドとの間の電気的な接続が開状態となる可能性がある。アンダーフィル材料を用いることにより、ダイの膨張収縮が抑えられ、それにより接続が開となる可能性が小さくなる。しかし、アンダーフィル材料を用いることにより、また再加加工もできなくなる。アンダーフィル材料を用いると、基板から欠陥のある半導体装置を取り出し、欠陥部品と良好な部品とを交換することができなくなる。これは、アンダーフィル材料が通常熱硬化性の材料、すなわち恒久的に固化して軟化または溶融することができないためである。

【0007】既存の技術は上記のような欠点を持つので、改良された半導体装置に対する必要性、特に改良されたフリップ・チップ半導体装置と、製造環境に適した方法でバーンインすることのできるその製造方法とに対する必要性が生まれる。これは半導体ダイが内部の回路構成に用いられる金属被覆の他に追加の金属被覆層を持つ必要がなく、熱性能や機械的性能を犠牲にすることなく再加加工性を有するものでなければならない。さらに、

このような装置は優れた費用対効果で製造できるものであることが望ましい。

【0008】

【課題を解決するための手段】本発明により、上記の必要性が満足され、その他の利点が得られる。ある実施例では、複合フリップ・チップ半導体装置のバーンインを強化する方法は、複数のダイ受け入れ領域と、第1表面および第2表面を有するインターポーザ(interposer)材料を設ける段階を含むことを特徴とする。インターポーザ材料の第1表面は、インターポーザ材料の第1表面から第2表面へと延在する複数の電気的経路に電気的に結合された複数の導電トレースを有する。半導体ダイは、各々のダイ受け入れ領域内に置かれて、複数の経路に電気的に結合される。インターポーザ材料を所定の応力にさらすことにより、半導体ダイのバーンインが行われる。インターポーザ材料は、個別化されてダイ受け入れ領域を分離させ、複数の複合フリップ・チップ半導体装置が形成される。

【0009】これらとその他の特徴および利点は、以下の詳細な説明と、添付の図面とにより、より明確に理解されるだろう。図面は一定の比率で描かれているわけではなく、本発明のさまざまな特徴を明確に示すために描かれている点に留意されたい。図示されている特定の実施例や特徴は、本発明の範囲を制限するものではない。

【0010】

【実施例】フリップ・チップ半導体装置は、装置がたいへん小型であるという大きな利点を持っているが、またフリップ・チップ装置にはいくつかの欠点がある。従来技術において述べたように、フリップ・チップ装置は、既存の試験機器を用いてバーンインすることができず、追加の金属被覆層と、装置の歩どまりを低下させる可能性のあるダイ製造段階とを必要とし、アンダーフィル材料を用いて一度基板につけると、再加加工ができない。本発明は、既存のフリップ・チップ装置の上記の欠点のそれぞれを克服するだけでなく、その他の利点を有する。これについては、以下の説明を通じて明らかになる。本発明は、半導体ダイの能動面に結合されたインターポーザを利用する。インターポーザは、少なくとも一方に形成された金属被覆層を有し、それによって半導体ダイ上に追加の金属被覆層を形成する必要をなくしている。さらに、インターポーザは、試験用ソケットを用いて、あるいは単に上面または端面の試験用接触に接触させることにより、複合半導体装置を個別にバーンインすることのできる試験用接触をもつように設計することができる。本発明により形成される装置をバーンインするコストの低い方法としては、いくつかの装置を同時にバーンインすることのできる、バーンイン・ボードとして機能する単一のインターポーザ基板上に複数のインターポーザを形成することができる。本発明の他の利点は、再加加工性を制限することなく装置の熱的および機械的性能を

強化する材料で、インターポーザを作ることができる点である。インターポーザは、基板に取り付けられる半導体ダイとは反対側で基板に取り付けられるので、インターポーザと基板との間のアンダーフィル材料により、半導体ダイの取り外しができなくなることはない。このため、フリップ・チップ装置を基板上に実装した後でも、欠陥のある半導体ダイを良好なダイと交換することができる。

【0011】図1は、本発明による複合フリップ・チップ半導体装置10の透視図である。この装置には、ダイの上面に形成された複数のボンディング・パッド14を有する半導体ダイ12が含まれる。ボンディング・パッド14は、これもダイの上面に形成されている集積回路（図示せず）に従来の形態で電気的に結合されている。ボンディング・パッド14は通常は、図のように半導体ダイの周囲に沿って形成され、集積回路のレイアウトを妨害せずに、ダイ当りのボンディング・パッドの数を最大限にしている。各ボンディング・パッド14の上には、ハンダ・バンプ16が形成されている。ハンダ・バンプは、フリップ・チップ半導体ダイを基板（図示せず）に結合させる方法としては、当技術ではよく知られている。

【0012】従来のフリップ・チップ装置では、半導体ダイ上に金属の層が形成されることが多く、これがボンディング・パッドに対する電気的接続部となり、周囲のボンディング・パッドの構造をアレイ構造にしている。アレイ構造のボンディング・パッドとハンダ・バンプは、PCボードまたは多層セラミック基板上の電気端子のアレイに対応させるには必要とされることが多い。前述のように、金属層を追加することによりダイの製造に必要な処理段階の数が増え、装置の歩どまりが下がる可能性がある。本発明では、周辺のハンダ・バンプをアレイ構造にするために半導体ダイ上に追加の金属層を作る必要はない。その代わりに、本発明は図1に示されるような剛性のインターポーザ22を持ち、望ましい端子の構造を得る。半導体ダイ12は、ハンダ・バンプ16がインターポーザに設けられた複数の電気経路24と整合し、それらと電気的に接触するようにインターポーザ22に取り付けられる。この経路は、従来の方法で、基板（図示せず）の電気端子構造に合うような構造に形成される。ダイをインターポーザ上に配置したときに経路と直接整合しないハンダ・バンプについては、複数の導電トレース26がインターポーザ上に設けられて、ハンダ・バンプを特定の経路へと電気的に配線する。図に示されるように、ハンダ・バンプ16には、直接経路に接続されずに、導電トレースの端部に形成された端子パッド27に結合されるものもある。導電トレースは、適切な経路に配線される。図2は、ダイをインターポーザ上に配置した後の、半導体ダイ12とインターポーザ22との上面図である。

【0013】電気経路24は、インターポーザ22の上面から、複数のハンダ・ボールが形成されている底面まで延在している。図3は、インターポーザ22の電気経路構造と対応するハンダ・ボール32の構造を示す。ハンダ・ボールは、基板（図示せず）の電気端子の構造にも対応する。各ハンダ・ボールは、経路の直接下に配置されて示されているが、インターポーザの底面に導電トレースを形成して、経路をハンダ・ボールに電気的に配線してもよい。言い換えれば、ハンダ・ボール32を、図1の経路24からハンダ・バンプ16をずらして電気的に配線しているのと同様の方法で経路24からずらしてもよい。

【0014】装置の用例を分かりやすくするために、図4および図5に複合フリップ・チップ半導体装置10を、PCボード上に搭載した状態の断面図で示してある。図4は図2の直線4-4に沿って切断した断面図であり、図5は直線5-5に沿って切断した断面図である。図4では、半導体ダイ12はハンダ・バンプ16が経路24に一致するようにインターポーザ22に結合されている。各経路の下には、ハンダ・ボール32があり、これはPCボード34などの基板に結合されている。ダイ12とインターポーザ22とは主に空気により分離されているが、インターポーザ22とPCボード34とはアンダーフィル材料36により分離されている。従来技術で説明されたように、アンダーフィル材料をフリップ・チップ半導体ダイと基板との間に用いて、基板に対するダイの熱膨張および収縮を制限することがよく行われる。しかし従来のフリップ・チップ装置でアンダーフィル材料を用いると、再加工ができなくなる。これはよく用いられるアンダーフィル材料、たとえば熱導電性エポキシなどが再溶融できないためである。本発明のある実施例においては、アンダーフィル材料をインターポーザ22とPCボード34との間に用いることができる。インターポーザ22は一度PCボード34に取り付けると、取り外すことができない；しかし半導体ダイ12は、再加工が必要な場合は、ハンダ・バンプ16を加熱して溶融させるだけで、簡単にインターポーザから外すことができる。

【0015】図5は、導電トレース26を用いて、所定の経路またはハンダ・ボール構造まで周辺のハンダ・バンプ16を「ファンイン（fan-in）」することができる様子を示すものである。ダイ12の周辺のハンダ・バンプ16は、導電トレース26の端子パッドに接続され、このトレースによりハンダ・バンプは経路24に電気的に配線される。経路の構造は、図1に明らかなようにアレイ構造である。経路24は図5の断面図の平面上にあるのではなく、そのため隠れている。インターポーザの導電トレース26を用いて、アレイ構造まで周辺のハンダ・バンプをファンインすることができるので、半導体ダイ12はフリップ・チップ半導体ダイとして用いるこ

とができるだけでなく、通常は周辺のボンディング・サイトを必要とする、従来の方法でワイヤ・ボンディングされたダイ、またはTAB（テープ自動ボンディング）ダイとしても用いることができる。そのため、半導体ダイの製造は、フリップ・チップ装置としても、ワイヤ・ボンディング装置としても、またTAB装置としても標準化された工程となる。

【0016】図5はまた、経路24が図4に示されるように完全に垂直である必要はなく、曲がっていたり斜めになっていてもよいことも示している。経路を曲げると、インターポーザ22は、2層以上の導電層を有する多層材料であることが必要になる。多層インターポーザを用いると、経路とハンダ・ボールの配列にさらに融通がきくようになり、また、金属被覆が1層だけに限られないので、可能性のある経路とハンダ・ボールの位置の数が増える。

【0017】インターポーザ22内に1層だけ導電層を用いると、製造を容易にするという利点もある。1層だけの導電層を用いることにより、すなわち、インターポーザの上部に導電層を用いることにより、インターポーザの経路とハンダ・ボールとはいくつかの異なる半導体ダイについて標準的な、所定の一定の構造に形成することができる。例えば、図1では、半導体ダイ12は12個のボンディング・パッドを有しており、これらはそれぞれインターポーザ22上の12個の経路に対応する。経路は、基板（図示せず）の標準化電気端子構造に一致する一定のアレイに配列される。12個のボンディング・パッドを有する半導体ダイは数多くあるが、ダイ間でボンディング・パッドが正確に同じ位置にあるとは限らない。しかし、インターポーザ22は、導電トレース26を形成する金属被覆パターンを変更することにより、12個のボンディング・パッドを有する異なるダイのそれぞれに用いることができる。言い換えれば、経路とハンダ・ボールの構造を固定したままで、ある金属層をさまざまなボンディング・パッド構造に合うように変更することができる。複数の金属層を有するインターポーザを異なるボンディング・パッド構造のそれぞれに用いることもできるが、2層以上の金属層を各構造に合うように「カスタマイズ」しなければならず、それによって製造段階の数が増える。

【0018】本発明に用いるのに適したインターポーザを製作するには、半導体ダイの熱膨張係数（CTE）にほぼ近似する熱膨張係数を有する材料が好適な材料である。半導体ダイは、たいてい、約3 ppm（parts per million）/°CのCTEを有するシリコンより形成される。そのため、インターポーザのCTEはダイのそれと一致するので、インターポーザのために好適な材料はシリコンである。しかし、他の材料もシリコンのCTEに近いCTEを持つものがある。例えば、窒化アルミニウムのCTEは4.5 ppm/°Cのオーダーである。イ

ンターポーザの材料として用いるには、他のセラミックも適している。インターポーザのCTEとダイのCTEを近似させると、ハンダ・バンプと導電トレースまたは経路との間の電氣的結合が、熱誘導応力により壊されることが少なくなる。さらにダイとインターポーザとのCTEを近似させると、剛性の接合部を用いてダイとインターポーザとを結合させることができる。ハンダは、フリップ・チップ・ダイを任意の種類の基板に結合させるために最もよく用いられる材料である。これは、ハンダが熱誘導応力を吸収するのを助ける汎用性のある接合部であると考えられるためである。インターポーザのCTEを半導体ダイのCTEと近似させることにより、例えば銅製の接合部などの剛性の結合接合部を用いて、電気性能を改善させることができる。インターポーザの材料を選択する際のもう1つの考慮点は、熱放散性である。多くの半導体装置は動作中に非常に多くの熱を発生する。熱放散性の良いインターポーザ材料を用いると、複合フリップ・チップ装置から熱を除去するのに役立ち、それによって装置の寿命を延ばし、信頼性を向上させる。インターポーザ22のようなインターポーザを製作するには、既知の技術を用いてインターポーザ上に経路と導電トレースとを形成することができる。例えば、スクリーン印刷または金属付着とエッチング技術を用いて導電トレースを形成し、エッチングまたはレーザ・ドリル法を用いて経路を形成することができる。経路は電氣的に導電性を持たねばならず、そのため導電性材料で充填される。再加工作を提供し、熱誘導応力に対する抵抗力を改善するだけでなく、本発明によるインターポーザを用いるとフリップ・チップ半導体装置の試験およびバーンイン方法も確立される。例えば、図1のインターポーザ22には、インターポーザの周囲に複数の試験用接触28が設けられる。試験用接触28は、図のようにインターポーザの側辺に沿って延在していても、インターポーザの上面のみに形成されてもよい。試験用接触は、以下に説明されるように接触を経路に結合させることにより、ダイ12のハンダ・バンプに電氣的に結合される。しかし、実施される試験の程度により、試験用接触と経路との間に1対1の対応が必要でない点に留意されたい。試験用接触と経路との間の電氣的接続は、分かりやすくするために図示されていない。しかし、少なくとも2つの方法により、試験用接触と経路との間の接続を簡単に行うことができる。1つの方法は、試験用接触を経路に結合させるための導電層を含む多層インターポーザを利用することである。もう1つの方法は、インターポーザの上面に第2の複数の導電トレースを形成して、同じ機能を果たす方法である。試験用接触28があるために、従来の探針（図示せず）を用いてダイの機能を試験することができる。さらに、試験用接触28をインターポーザの側辺に沿って少なくとも部分的に延在させることにより、複合フリップ・チップ半導体装置を、端部

接触を扱うことのできる既知の試験用ソケットで試験とバーンインとを行うことができる。

【0019】本発明による複合フリップ・チップ半導体装置におけるインターポーザにより、個々の装置をバーンインする便利な方法が生まれる。さらに、既存のバーンインボードによる方法と同様に、複数の装置を同時にバーンインできるインターポーザを製作するためのコストの低い方法がある。図6に複数のインターポーザ22を含むインターポーザ基板60が示される。インターポーザ群は、インターポーザ基板に形成されたミシン目62により互いに分離される。インターポーザ基板の側面には、複数の基板試験接触64があり、これは以下に示される方法で個別のインターポーザ22に電氣的に結合されている。しかし、図6では電氣的接続は示されていない。一定の接続を直列で行うことができるので、それぞれのインターポーザ経路のための基板試験用接触は、通常は必要とされない。多層インターポーザ基板を用いて、基板試験用接触から個々のインターポーザ経路への接続を行うことができる。代わりに単層インターポーザ基板を用いることもできる。しかし、単層基板を用いると、1平面上で導電配線を行うには、基板の面積を大きくしなければならない。

【0020】個々のインターポーザのそれぞれに半導体ダイ（図6には図示せず）を結合させた後は、インターポーザ基板は従来のバーンイン・ボードと同様に機能する。バーンイン機器の電気接続部は、基板試験用接触64に接続されて、複数の個々の半導体ダイを同時に試験するか、あるいは応力を与える。インターポーザ基板全体をバーンインすることは、個別の装置をバーンインするのに比べて利点がある。多数の装置を同時にバーンインするとバーンインにかかる時間が少なくなるためと、各装置の試験用ソケットが必要ないためである。バーンインを個々の装置レベルでなく、インターポーザ基板レベルで行うと、個々のインターポーザ上に試験用接触28を設ける必要がなくなる。インターポーザ基板レベルでバーンイン試験を行った後は、例えばミシン目62に沿ってインターポーザ基板60を切断するか、あるいは破ることにより、個々のインターポーザ22を切り離す。インターポーザを切り離した結果、図1ないし図5に示されるような、複数の複合フリップ・チップ半導体装置ができあがる。

【0021】本発明により用いられるインターポーザによって得られる別の利点は、フリップ・チップ半導体装置の電気性能が強化されることである。インターポーザを用いると、2つの表面が追加されて、その上に回路構成または電気部品を形成することができる。例えば図7は、本発明に用いられるのに適したインターポーザ40の底面を示す。本発明の前述の実施例と類似の、複数のハンダ・ボール42に加えて、インターポーザ40には2個の電気部品、すなわち端子抵抗46とデカップリング・

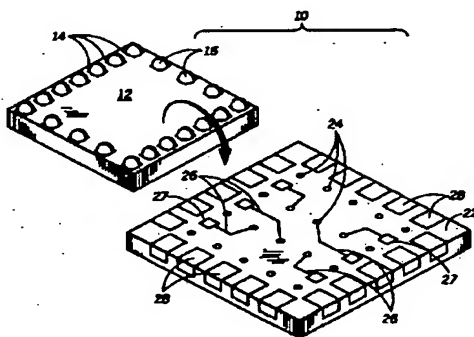
コンデンサ48とが含まれている。ハンダ・ボール、経路または導電トレースに占有されていないインターポーザの部分は、電気部品のために用いることができる。あるいは、別の電源バスのために用いることができる。そのため、フリップ・チップ半導体ダイの寸法を大きくすることなく、別の回路構成、バスまたは部品を追加することができる。図7は、装置の共通出力信号を、インターポーザの底面上で互いに結合できることを示している。例えば、端子グループ43、44を複数のハンダ・ボールの代わりに用いて、例えば電力または接地出力を結合することができる。

【0022】ここに示される以上の説明と図面とは、本発明による多くの利点を示す。特に、本発明による装置は、フリップ・チップ半導体ダイに結合されたインターポーザ上に試験用接触を設けることにより、個別にバーンインすることができる。接触が試験用ソケットと一致するように、または従来の探針で接触を試験することができるように試験用接触を形成することができる。さらにインターポーザ基板を用いて、従来のバーンイン・ボードのように、しかし、試験用ソケットを必要とせず、複数のフリップ・チップ装置を同時にバーンインすることができる。また、本発明によりフリップ・チップ半導体ダイ上に金属被覆層を追加する必要がなくなる。そのためダイの製造がより単純になり、既存のフリップ・チップ製造技術に比べて、歩どまりが高くなる可能性がある。その代わりに、別の金属層がインターポーザ上に形成されるが、これはダイに金属層を追加しなければならない場合よりもはるかに簡単な製造法である。また、金属被覆層を追加しなくとも済むようになったので、フリップ・チップ半導体ダイをワイヤ・ボンディング・ダイやTABダイにも用いることができる。さらに別の利点は、適切なインターポーザ材料を選択することにより、インターポーザを用いてフリップ・チップ結合における熱誘導応力を小さくし、装置の動作中の熱を放散できることである。さらに、フリップ・チップ半導体装置にインターポーザを用いることにより、別の表面をつくりだし、この上に回路構成、バスまたは他の電気部品を、半導体ダイの面積を大きくすることなく形成できる。

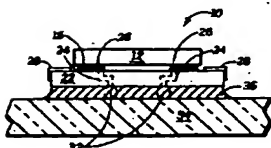
【0023】以上、本発明により前述の必要性と利点を完全に満足する複合フリップ・チップ半導体装置のバーンインを強化する方法が提供されたことは明かである。本発明は、特定の実施例を参考に説明され図示されたが、本発明はこれらの説明のための実施例に制限されるものではない。本発明の本質から逸脱することなく修正や変形が可能であることは、当業者には理解いただよう。例えば、本発明で用いられるインターポーザはシリコンや窒化アルミニウムで作る必要はなく、代わりにどのような材料でもよい。しかし、好適なインターポーザの材料は、本発明の装置に用いられる半導体ダイのC

TEに類似のCTEを有するものである。また、本発明は周辺のボンディング・パッド構造をアレイ構造に変形するインターポーザを利用するものに限らない。電気的接続の構造に関わらず、上記の利点の多くは達成される。また、本発明は、半導体ダイ上にハンダ・バンプを使用することに限るものではない。半導体ダイをインターポーザに電気的に結合するいかなる方法も、本発明の範囲内にある。同様に、ハンダ・ボール以外の方法もインターポーザを基板に結合するために適している。また、試験用接触により個別の装置の試験とバーニンとが可能になるが、インターポーザが有益であるためには、試験用接触を持つ必要はない。さらに、本発明により用いられるインターポーザは、図に示されるようにフリップ・チップ半導体ダイよりも大きくなくともよい。しかし、ダイよりもインターポーザを大きくすると、フリップ・チップ装置の試験およびバーニンにおいてさらに汎用性が得られる。また本発明に関して用いられるインターポーザは、半導体ダイに対向する上面に導電トレースを有するものに限らない。基板に対向するインターポーザの底面に、複数の導電トレースを有して、複数の経路を望ましい構造に配線してもよい。同様に、本発明により用いられるインターポーザ基板材料は、単層材料でも多層材料でもよい。特に説明されは図示された種類以外の回路構成、バスおよび電気部品も、インターポーザ表面上に形成して装置の電気性能を強化または補助することもできる点にも留意されたい。さらに、本発明は装置内に特定の種類の半導体ダイを使用することに限るものでは決してない。そのため、本発明は添付の請求*

【図1】



【図5】



*項の範囲内に入るすべての変形と修正とを包含するものである。

【図面の簡単な説明】

【図1】本発明によるインターポーザに付属して、複合フリップ・チップ半導体装置を形成する半導体ダイの透視図である。

【図2】インターポーザ上に半導体ダイを配置した後の、図1の半導体装置の上面図である。

【図3】図2の半導体装置の底面図である。

【図4】図2の半導体装置を、直線4-4で切断した断面図である。

【図5】図2の半導体装置を、直線5-5で切断した断面図である。

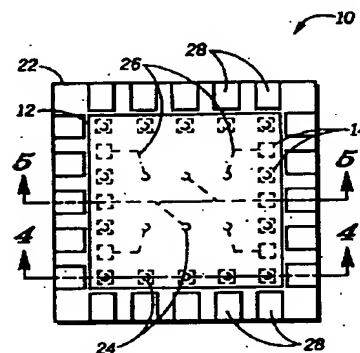
【図6】本発明により用いられるインターポーザ基板材料の上面図である。

【図7】本発明の他の形態による複合フリップ・チップ半導体装置のインターポーザの底面図である。

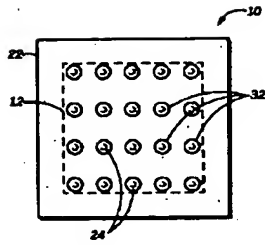
【符号の説明】

- 10 複合フリップ・チップ半導体装置
- 12 半導体ダイ
- 14 ボンディング・パッド
- 16 ハンダ・バンプ
- 22 インターポーザ
- 24 経路
- 26 導電トレース
- 27 端子パッド
- 28 接触

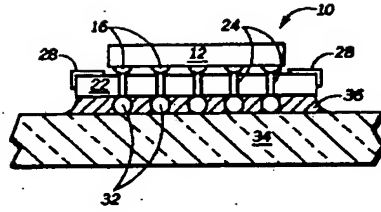
【図2】



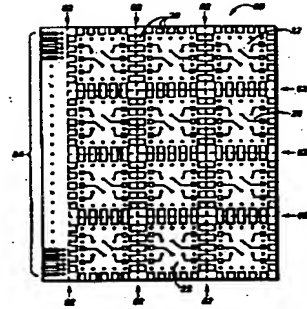
【図3】



【図4】



【図6】



【図7】

